

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-017785

(43)Date of publication of application : 20.01.1989

(51)Int.Cl. B66B 3/02  
B66B 5/02

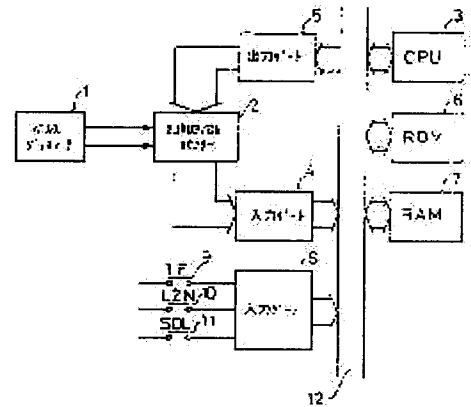
(21)Application number : 62-169774 (71)Applicant : TOSHIBA CORP  
(22)Date of filing : 09.07.1987 (72)Inventor : HARADA YUTAKA

**(54) ELEVATOR CONTROL DEVICE**

(57)Abstract:

**PURPOSE:** To contrive a safety operation of an elevator by calculating a difference of position data by an up down counter and reference position data and judging that a critical failure is generated when the difference is large beyond an allowable value and eternally stopping the elevator.

**CONSTITUTION:** A pulse signal from a pulse generator 1 is counted by a binary up down counter 2 in a position data preparation operation of an elevator by a low speed operation signal SDL 11 and reference position data is set within a RAM 7 by a floor signal 9 of the first floor and a door open zone (LZN) level signal 10. At the time of a normal operation and control of the elevator, a CPU 3 calculates a difference of position data by the up down counter 2 and reference position data within the RAM 7. When the error becomes large beyond an allowable value, it is judged that a critical failure is generated and the elevator is eternally stopped. Thus, an inferior landing state is avoided, a danger of runaway is prevented and the safety operation of the elevator can be secured.



④ 日本国特許庁 (JP) ⑤ 特許出願公報  
⑥ 公開特許公報 (A) 昭64-17785  
⑥Int. Cl. 3/02 戸内整理番号 7628-3F  
B 66 B 5/02 6662-3F  
⑥特 願 昭62-169774  
⑥出 願 昭62(1987) 7月9日  
⑥発 明 者 原 田 豊 東京都府中市東芝町1番地 株式会社東芝府中工場内  
⑥出 願 人 株 式 会 社 東 芝 神奈川県横浜市都区堀川町72番地  
⑥代 理 人 弁 理 士 三 好 保 男 外1名  
⑥発明の名称 エレベータ制御装置  
⑥特 願 昭62-169774  
⑥出 願 昭62(1987) 7月9日  
⑥発 明 者 原 田 豊 東京都府中市東芝町1番地 株式会社東芝府中工場内  
⑥出 願 人 株 式 会 社 東 芝 神奈川県横浜市都区堀川町72番地  
⑥代 理 人 弁 理 士 三 好 保 男 外1名  
⑥発明の名称 エレベータ制御装置  
⑥特 願 昭62-169774  
⑥出 願 昭62(1987) 7月9日  
⑥発 明 者 原 田 豊 東京都府中市東芝町1番地 株式会社東芝府中工場内  
⑥出 願 人 株 式 会 社 東 芝 神奈川県横浜市都区堀川町72番地  
⑥代 理 人 弁 理 士 三 好 保 男 外1名

特開64-17785 (2)

型ではマイクロコンピュータがカウンタの値をその階位群に相当する位置データに修正してしまう。この結果、階位な場合には階床ずれを生じる状態があり、そのまま進行を続けられれば必要な階床位置や群階床までの器差が起りうる問題点があった。本発明は、このような従来の問題点を解決するためになされたもので、大幅なパルスずれが発生しても安全にエレベータを停止させることのできるエレベータ制御装置を提供することを目的とする。

【発明の構成】

(問題点を解決するための手段)

この発明のエレベータ制御装置は、エレベータの走行パルスを発生するパルスジェネレータと、この走行パルスをカウントしてエレベータの位置データを出力するプリセッタアップダウンカウンタと、エレベータ制御運転時に各階床の基準階床データを作成する手段と、この各基準階床データの記憶手段と、エレベータの停止階床で前記カウンタの位置データと対応する基準階床データ

安全装置を行う。

(実施例)

以下、この発明の実施例を図に基づいて詳説する。第1図はこの発明の一実施例のブロック図であり、エレベータの走行時の走行パルスを発生するパルスジェネレータ1、このパルスジェネレータ1の走行パルスを入力する2進のプリセッタアップダウンカウンタ2、さらにこのアップダウンカウンタ2にデータを入力出力する演算処理手段としての中央演算装置(CPU)3の入力ゲート4、出力ゲート5を備えている。また、制御プログラムを格納するリードオンリーメモリ(ROM)6、データやフラグを格納するランダムアクセスメモリ(RAM)7、外部信号を入力する入力ゲート8を備えている。そしてこの入力ゲート8には、最下階の階床低号である1階の階床低号9と、ドアオープンゾーン(LZN)を示すレベル低号10、低速信号(SDL)11が入力されるようになっている。なお、12はバスラインを示している。

(作用)

この発明のエレベータ制御装置では、エレベータの走行制御をプリセッタアップダウンカウンタの位置データを基準として行い、所定の階床に停止する。そして、各階床におけるカウンタの位置データと、あらかじめ演算処理時に作成された各階床における基準階床データとを比較し、その誤差が許容値より小さい場合には基準階床データにカウンタのカウント値を置換え、誤差の発生を極力小さくし、正確な遅延制御が行えるようにする。

そして、何等かの原因によってカウンタの位置データが基準階床データに対して許容値を超えて大きな誤差を持つ場合、正確な遅延制御を行うことができないものとし、永久停止することにより

本発明は、エレベータ制御装置に関する。

(従来の技術)

従来のエレベータ制御装置にマイクロコンピュータが応用されるようになって、かこの位置検出装置にはガバナや器上げ器に取付けたパルスジェネレータを使用するようになっている。

このパルスジェネレータは、エレベータの走行に合わせて、あらかじめ定められた階床に応じて走行パルスを発生するものである。そして、走行パルスは、90°移送のずれた2相のパルスであり、エレベータ制御装置の2進アップダウンカウンタに入力される。つまり、かこが上昇すれば、このカウンタはアップカウンタし、逆にかこが下降すると、カウンタはダウンカウンタする。各階の位置は、その階高値に対応する前記走行パルスのカウンタ値として、位置データが与えられ、なお、基準値として最下階にあらかじめ定められた値が与えられる。

この位置データは、演算の初期において、「位置データ作成遅延」と呼ばれている低速で最下階

1. 発明の名称

エレベータ制御装置

2. 特許請求の範囲  
エレベータの走行パルスを発生するパルスジェネレータと、この走行パルスをカウントしてエレベータの位置データを出力するプリセッタアップダウンカウンタと、エレベータ制御運転時に各階床の基準階床データを作成する手段と、この各基準階床データの記憶手段と、エレベータの停止階床で前記カウンタの位置データと対応する基準階床データとの誤差を許容値と比較し、前記誤差が許容値より小さい場合には前記カウンタの位置データを対応する基準階床データに置換え、前記誤差が許容値を超える場合にはエレベータを永久停止させる制御手段とを具備したエレベータ制御装置。

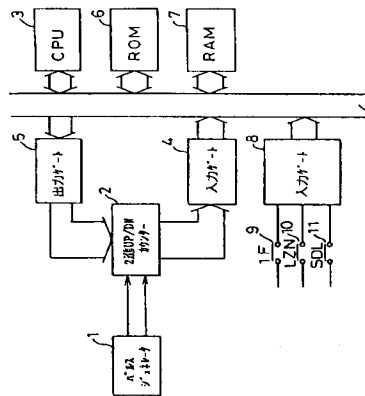
3. 発明の詳細な説明

【発明の目的】

(産業上の利用分野)

上記の構成のエレベーター制御装置の動作について、第2圖に示サフローチャートを参照して説明する。

- 1 ... バルスジェネレータ
- 2 ... アップダウンカウンタ
- 3 ... 中央演算装置
- 4 ... 入力ゲート
- 5 ... 出力ゲート
- 6 ... リードオンリーメモリ (ROM)
- 7 ... ランダムアクセスメモリ (RAM)



一、

代理人 三好保男

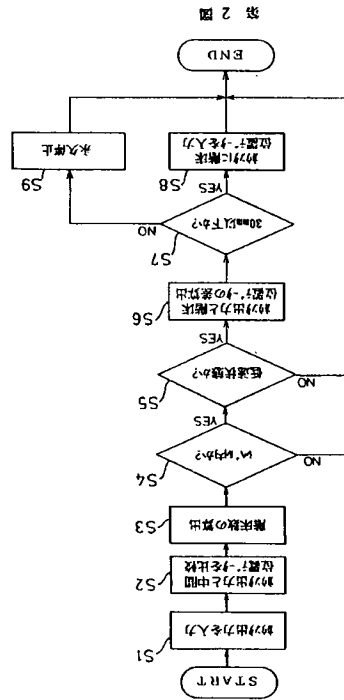
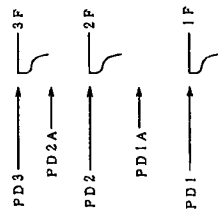


图 2 续

-782-

ADR1	PD1
ADR2	PD2
ADR3	PD3
ADR4	PD1A
ADR5	PD2A

第 3 図



第 4 図